Inter-LSI Wireless Interconnection



吉川 公磨 (Takamaro KIKKAWA, Ph. D.) 広島大学ナノデバイス・バイオ融合科学研究所長 (Research Institute for Nanodevice and Bio Systems, Director, Hiroshima University) 広島大学大学院先端物質科学研究科教授

(Graduate School of Advanced Sciences of Matter, Professor, Hiroshima University)

IEEE Fellow 応用物理学会フェロー 電子情報通信学会 会員 受賞:2000 年度応用物理学会論文賞

著書: Advanced Interconnects for ULSI Technology, edited by M. Baklanov, John Wiley, New York, USA (2012) 共著 Silicide Technology for Integrated Circuits, Edited by L. J. Chen, The Institute of Electrical Engineers, London, UK, (2004). 共著 研究専門分野: 半導体集積回路配線技術

あらまし 半導体集積回路(LSI)間のデータ伝送を実 現するワイヤレス接続技術を開発した。マイクロアン テナを搭載した無線超広帯域 CMOS 送受信回路とし て、180nmCMOS 送信受信回路を開発し、中心周波数 3GHz、データレート 1Gb/s のインパルス信号をオン チップアンテナから送信することに成功し、受信回路 はデータレート 200Mb/s で変調された信号をデジタ ルデータに復調した。課題である低抵抗シリコン基板 に集積化したアンテナの低い伝送利得は高誘電率イン ターポーザー導波路を開発することで改善できること を明らかにした。

1. はじめに

大規模集積回路(Large Scale Integrated Circuits: LSI)の低消費電力、高速動作、低コストを実現するた めに、MOS トランジスタはスケーリング則に沿って 縮小化が進められてきた⁽¹⁾。しかし、LSI のグローバ ル配線長が長くなり、寄生容量(C)や配線抵抗(R)によ る RC 信号遅延や信号劣化が問題となってきた⁽²⁾。

半導体集積回路の配線長が cm を超えるグローバル 配線では配線遅延が配線長の 2 乗で増大していく^{(3),(4)}。 チップ内インターコネクションの配線 RC 時定数を減 らすため、銅配線や低誘電率材料による Cu/Low-k 配 線技術が開発された⁽⁵⁾⁻⁽⁷⁾。しかし、GHz 帯域の高速信 号伝送やグローバルインターコネクションには電磁波 伝送が不可欠となる。

チップ間のグローバル配線距離を短縮する技術とし て、複数の集積回路チップを縦に積み上げる三次元集 積化実装技術における、シリコン貫通金属ビア技術

(Through Silicon Via: TSV)が開発されている⁽⁸⁾。 TSV はメモリなどの同じパターンのチップの積層に は有効であるが、異種チップに対しては目合わせが必 要となり、製造コストの増大が課題である。この問題 を解決するには、寄生抵抗、寄生容量、寄生インダク タンスが生じないワイヤレス(無線)インターコネク ション技術の開発が必要である。

本稿では、シリコン集積回路間の無線インターコネ クションとしてアンテナ電波伝搬を取り上げ、シリコ ンオンチップアンテナの基本的な特性、チップ間伝送 利得を改善するインターポーザー導波路の特性、開発 したアンテナ搭載 CMOS 送受信回路の特性について 報告する。

2. 集積回路搭載アンテナ

図1にアンテナ電波伝搬、キャパシタ、インダクタ によるチップ間無線インターコネクションを伝送線路 としたときの透過係数 *S*₂₁の距離依存性を示す。

電磁波がシリコン中を伝搬する時、シリコンの比誘 電率を ε_{si} とすると、等価的な波長は空気中に比べて $1/\sqrt{\varepsilon_{si}}$ に減少する。伝送距離dが空気中とシリコン中 の電磁波の波長をそれぞれ λ_{air} 、 λ_{si} として、

Inter-LSI Wireless Interconnection



(2)

$$d=rac{\lambda_{Si}}{2\pi}=rac{\lambda_{air}}{2\pi\sqrt{arepsilon_{Si}}}$$

で表される距離より大きいとき遠方界、小さいとき近 傍界となる⁽⁹⁾。キャパシタおよびインダクタによるチ ップ間通信は近傍界であり、信号強度が距離の 2~3 乗に反比例して減衰するため、現実的な通信距離はキ ャパシタあるいはインダクタのサイズにほぼ対応する 数百 µm 以下である⁽¹⁰⁾⁻⁽¹³⁾。これに対して、アンテナ 電波伝搬は遠方界では距離の1乗に反比例して減衰す るため長距離で通信可能である⁽¹⁴⁾⁻⁽²¹⁾。また、容量結 合はチップを向かい合わせて伝送するため2層積層以 下に制限されるという欠点があり、誘導結合は多層積 層が可能であるがチップ平面方向に伝送することがで きないという欠点がある。これに対して、アンテナは あらゆる方位の信号伝送が可能である。

シリコンオンチップアンテナの平面図とチップ内及 びチップ間無線インターコネクションの模式図を**図2** (a)、(b)、(c)にそれぞれ示す。送受信アンテナ間の利 得は以下のように表すことができる⁽⁹⁾。

$$G_{a} = \frac{|S_{21}|^{2}}{(1 - |S_{11}|^{2})(1 - |S_{22}|^{2})} = G_{t}G_{r}(\frac{\lambda}{4\pi})^{2}e^{-2\alpha r} \qquad (3)$$

ここで、 G_a は電力利得、 S_{21} と S_{11} は透過係数と反射 係数、 G_t と G_r は送信側と受信側の利得、 λ は波長、rは距離、 α は減衰定数を表す。インピーダンス整合が とれて S_{11} が十分小さいとき、伝送利得は $|S_{21}|^2$ に比例 する。

図3(a), (b), (c) にオンチップアンテナの基本的な 特性として透過係数 S_{21} の周波数依存性に対するアン テナ長、アンテナ間距離、シリコン基板抵抗率の影響 についてそれぞれ示す。

図3(a)は S₂₁に対するアンテナ長と周波数の関係を 示しており、アンテナ長は共振特性を用いるために波 長の1/2 程度の長さが必要となることから、集積回路 チップ内に占めるアンテナの占有面積が大きくなるこ とが課題である。伝送距離を 5mm とした場合、周波 数 2.8GHz 以下では、(2)式において、近傍界伝送とな り利得が急激に低下する。9.5GHz 以上では遠方界伝



Inter-LSI Wireless Interconnection

送となり利得を最大にすることができる。このことは チップ間無線インターコネクションの周波数を高くす ることによって、アンテナサイズを縮小化でき、利得 も最大化できることを示している。

図3(b)は S₂₁に対するアンテナ間距離と周波数の関係を示しており、アンテナ間距離が増加するにつれ S₂₁の高さは減少する。距離が(2)式の近傍界条件以下になると S₂₁の尾根の高さが急激に落ち込む。これはシリコン基板中における近傍界では容量結合、誘導結合による伝送が支配的になるためその強度が距離の3乗、2乗に反比例して減衰するからである。一方、距離が遠方界以上になると、S₂₁の尾根の高さの減少が緩やかになる。このとき遠方界では空気中の直接波と基板中を伝搬する表面波による距離の1乗に反比例する伝送

が支配的となっている。アンテナ間距離がシリコン中 の遠方界と空気中の近傍界条件の間にあるときはシリ コン基板中を伝搬する表面波による遠方界および空気 中における近傍界のカップリングが支配的となり、谷 に沿って *S*₂₁が減衰する。

図3(c)では S₂₁とシリコン基板抵抗率の関係を示し ている。遠方界において Si 基板抵抗率を高くすること で、著しく S₂₁ が改善されていることがわかる。伝送 利得が減衰する原因は低抵抗シリコン基板によるオン チップアンテナ放射効率の低下にあるため、シリコン 基板抵抗率を上げるか、基板厚さを薄くするかによっ て、チップ内、チップ間ともに 5mm の距離を直接伝 送する場合、約-10dB まで改善できる。これは CMOS 送受信回路のフロントエンド低雑音増幅器(LNA)の利







Inter-LSI Wireless Interconnection

得を10dB以上とすることによって対応できる値である。

次に、チップ間無線インターコネクションにおける インターポーザーの役割について述べる。図4(a)はア ンテナ放射効率と波長で規格化したインターポーザー 導波路の膜厚の関係を示す。導波路膜厚によって、伝 搬モードが異なるため、TE1 伝搬モードを優先する最 適膜厚において、比誘電率 2.15 の場合放射効率は約 35%であるのに対して、比誘電率 20 では約 50%に改 善できることがわかる。図4(b)、(c)はインターポー ザーとして低誘電率膜($\varepsilon=2$)、高誘電率膜($\varepsilon=20$) を用いた場合について、伝搬する電界分布を示す。こ の図から、オンチップアンテナから出た電磁波は直下 にある高誘電率のインターポーザー導波路に結合し、 インターポーザー膜中を伝搬していることがわかる。

3. アンテナ集積化 CMOS

図5(a)にオンチップアンテナ搭載インパルス無線 ウルトラワイドバンド (IR-UWB) CMOS 送信回路の チップ写真を示す。180nmCMOS テクノロジーで試作 し、IR-UWB 信号としてガウシアンモノサイクルパル ス (Gaussian Monocycle Pulse: GMP) 信号を用いた。 GMP 発生回路と GMP 送信回路の面積はそれぞれ 0.03mm² と 0.1387mm² であるが、中心周波数 3.5GHz に対応するミアンダダイポールアンテナのサ イズは 2.98mm x 0.45mm、トータルアンテナ長は 22.232mm である。回路構成は8段の差動電圧制御発 信器 (VCO)、8 対1 マルチプレクサ (MUX)、三角波 パルス発生器 (TPG)、微分回路、出力増幅器、インピ ーダンス変換回路、アンテナからなっている。VCO は 1.2GHz で発振するように設計されトータル遅延時間 は833ps、最小遅延時間はVCOパルス周期の1/16で 52ps となる。目標周波数は 3.5GHz であるから送信パ ルス幅は 285ps となる。180nmCMOS の電源電圧は 1.8Vで、消費電力は21.6mWであった。

図5(b)にGMP送信波形を示す。実測したGMPパルス幅は280ps、GMPの振幅は123mVであった。波形の対称性もよく、リンギングも・20.2dBに押さえられている。GMPのデューティサイクルは1.16GHzでクロック・データレート1Gb/sを実現している。送信電力の周波数スペクトルを図5(c)に示す。中心周波数

は 3.6GHz、帯域は 4.14GHz であった。パワースペク トル密度は FCC 規制値 -41.25dBm/MHz をクリアし ている。

図6(a)に180nmCMOSテクノロジーで試作した送 受信回路のチップ写真を示す。オンチップアンテナか ら入ってきたオンオフキーイング (OOK) GMP 信号 は増幅器で増幅され、ミキサーにおいて受信回路で生 成されたテンプレート GMP 信号と位相をスライドす ることで同期が行なわれる。ミキサーを出た信号は増 幅されリターンゼロ (RZ)信号に変換され、続いてノ ンリターンゼロ(NRZ)信号に変換される。この信号は 遅延クロック生成回路に送られ、クロックの位相をロ ックする。遅延クロック生成回路はフェーズロックド ループ (PLL)、4 ビットカウンター、遅延選択回路か らなる。VCO は差動 8 段リングオシレータで遅延時 間は VCO サイクルの 1/16 である。GMP テンプレー ト生成回路は三角波生成回路と微分回路からなってお り、1/4 分周器からのクロックと NRZ データが入力と なって GMP を発生する。

図6(b) にチップ間 GMP データ伝送とデータリカ バリの測定波形を示す。疑似ランダムバイナリコード を生成し、クロックの間にデータを挿入している。シ ングルチャネルで 200Mb/s のデータと 200MHz のタ イミングパルスが交互にアンテナ長 30.58mm のミア ンダダイポールアンテナに受信される。

図6(c)にはリファレンスの GMP データ信号と復 調された NRZ データを示す。この受信回路は200Mb/s のデータをリカバリする性能を有している。消費電力 は43mW、中心周波数2.3GHz、ランダムサイクルジ ッターは3.24ps であった。

4. まとめ

大規模集積回路(LSI) チップ間の無線接続技術と しアンテナ搭載無線超広帯域 CMOS 送受信回路技術 を開発した。シリコンオンチップアンテナを集積化し た 180nmCMOS テクノロジー送信回路は中心周波数 3GHz のインパルス信号をデータレート 1Gb/s で送信 し、受信回路はデータレート 200Mb/s で変調された信 号をデジタルデータに復調した。





Inter-LSI Wireless Interconnection

参考文献

- R. H. Dennard, F. H. Gaensslen, H-N. Yu, V. L. Rideout, E. Bassous and A. R. LeBlanc, "Design of Ion Implanted MOSFET's with Very Small Physical Dimensions," *IEEE J. Solid-State Circuits*, Vol. SC-9, No. 5, pp.256-268, (Oct.1974).
- (2) H. B. Bakoglu, "Circuits, Interconnections, and Packaging for VLSI," Addison-Wesley Book Express, Boston, MA (USA),(1990).
- (3) J. D. Meindl, "Low Power Microelectronics: Retrospect and Prospect," *Proc. IEEE*, Vol. 83, Iss. 4, pp.619-635,(1995).
- (4) J. A. Davis, R. Venkatesan, A. Kaloyeros, M. Beylansky, S. J. Souri, K. Banerjee, K. C. Saraswat, A. Rahman, R. Reif, and J. D. MEINDL, "Interconnect Limits on Gigascale Integration (GSI) in the 21st Century," *Proceedings of the IEEE*, Vol. 89, Iss. 3, pp. 305-324,(2001).
- (5) D. Edelstein, J. Heidenreich, R. Goldblatt, W. Cote, C. Uzoh, N. Lustig, P. Roper, T. McDevitt, W. Motsiff, A. Simon, J. Dukovic, R. Wachnik, H. Rathore, R. Schulz, L. Su, L.S. Luce, J. Slattery, " Full copper wiring in a sub-0.25 μm CMOS ULSI technology," *in IEEE International Electron Devices Meeting Technical Digest*, **3.1**, pp. 773 - 776, (Dec. 1997).
- (6) T. Kikkawa, S. Chikaki, R. Yagi, M. Shimoyama, Shishida, N. Fujii, K. Kohmura, H. Tanaka, T. Nakayama, S. Hishiya, T. Ono, T. Yamanishi, A. Ishikawa, H. Matsuo, Y. Seino, N. Hata, T. Yoshino, S. Takada, J. Kawahara, K. Kinoshita, "Advanced Scalable Ultra low-k/Cu interconnect Technology for 32nm CMOS ULSI Using Self-Assembled Porous Silica and Self-Aligned CoWP Barrier", in IEEE International Electron Devices Meeting Technical Digest, 4.5, pp.99-102, (Dec. 2005).
- (7) S. Chikaki, K. Kinoshita, K. Kohmura, H.

Tanaka, E. Soda, T. Suzuki, Y. Seino, N. Hata, S. Saito, and T. Kikkawa, "Ultralow-k/Cu Damascene Multilevel Interconnects Using High Porosity and High Modulus Self-Assembled Porous Silica," *Journal of The Electrochemical Society*, **157** (5), pp. H519-H525,(2010).

- (8) U. Kang, H.J. Chung, S. Heo, D.K. Park, H. Lee, J.H. Kim, S.H. Ahn, S.H. Cha, J. Ahn, D.M. Kwon, J.W.Lee, H.S. Joo, W.S. Kim, D.H. Jang, N.S. Kim, J.H. Choi, T.G. Chung, J.H. Yoo, J.S. Choi, C. Kim, Y.H. Jun, "8 Gb 3D DDR3 DRAM using through silicon via technology," *IEEE Journal of Solid-State Circuits*, Vol. 45, No.1, pp.111-119, (Jan.2010).
- (9) C. A. Balanis, ANTENNA THEOTY, Analysis and Design, Third Edition, John Wiley & Sons, Inc., (2005).
- (10) M.F. Chang, V.P. Roychowdhury, L. Zhang H.C. Shin, Y. Qian, "RF/wireless interconnect for inter- and intra-chip communications," *Proceedings* of the IEEE, Vol. 89, Issue: 4, pp.456 - 466, (2001).
- (11) K. Kanda, D. D. Antono, K. Ishida, H. Kawaguchi, T. Kuroda, and T. Sakurai, '1.27Gb/s/pin 3mW/pin Wireless Superconnect (WSC) Interface Scheme', *in Digest of Technical Papers*, 2003 IEEE ISSCC, **10.7**, pp.186-187, (Feb. 2003).
- (12) N. Miura, D. Mizoguchi, M. Inoue, H. Tsuji, T. Sakurai, and T. Kuroda, 'A 195Gb/s 1.2W 3D-Stacked Inductive Inter-Chip Wireless Superconnect with Transmit Power Control Scheme', *in Digest of Technical Papers*, 2005 IEEE ISSCC, 14.5, pp.264-265, (Feb. 2005).
- (13) N. Miura, H. Ishikuro, T. Sakurai and T. Kuroda, "A 0.14pJ/b Inductive-Coupling Inter-Chip Data Transceiver with Digitally-Controlled Precise Pulse Shaping," *in Digest of Technical Papers*, 2007 ISSCC, **20.2**, pp. 358-359, (Feb. 2007).

- (14) A. Iwata, M. Sasaki, T. Kikkawa, S. Kameda, H. Ando, K. Kimoto, D. Arizono and H. Sunami, "A 3D Integration Scheme utilizing Wireless Interconnections for Implementing Hyper Brains," *in Digest of Technical Papers*, 2005 IEEE ISSCC, **14.4**, pp. 262-263, (Feb. 2005).
- (15) B. A. Floyd, C. M. Hung, and Kenneth K. O, 'A 15-GHz Wireless Interconnect Implemented in a 0.18-µm CMOS Technology Using Integrated Transmitters, Receivers, and Antennas', IEEE J. Solid-State Circuits, Vol.37, No.5, pp.543-552, (May 2002).
- (16) A.B.M. H. Rashid, S. Watanabe and T. Kikkawa, "High Transmission Gain Integrated Antenna on Extremely High Resistivity Si for ULSI Wireless Interconnect", *IEEE Electron Device Letters*, Vol. 23, No.12, pp.731-733,(Dec. 2002).
- (17) T. Kikkawa, K. Kimoto and S. Watanabe, "Ultra wideband characteristics of fractal dipole antennas integrated on Si for ULSI wireless interconnects", *IEEE Electron Device Letters*, Vol. 26, Issue 10, pp.767 - 769, (Oct. 2005).
- (18) K.K. O, K. Kim, B.A. ; Floyd, J.L. Mehta, H. Yoon; C.M. Hung, D. Bravo, T.O. Dickson, X. Guo, R. Li, N. Trichy, J. Caserta, W.R. Bomstad, J. Branch, D.J. Yang, J. Bohorquez, E. Seok, L. Gao, A. Sugavanam, J.J. Lin, J. Chen, and J.E. Brewer," On-chip antennas in silicon ICs and their application," IEEE Trans. on Electron Devices, Vol. 52, Issue 7, pp.1312 1323, (July, 2005).
- (19) P.K. Saha, N. Sasaki and T. Kikkawa, "A Single Chip Gaussian Monocycle Pulse Transmitter using 0.18 um CMOS Technology for Intra/Inter-chip UWB Communication", *in Digest of Technical Papers*, IEEE Symposium on VLSI Circuits, **23.3**, pp.252-253, (June 2006).

- (20) T. Kikkawa, P. K. Saha, N. Sasaki, and K. Kimoto, "Gaussian Monocycle Pulse Transmitter Using 0.18 μm CMOS Technology With On-Chip Integrated Antennas for Inter-Chip UWB Communication," *IEEE Journal of Solid-State Circuits*, Vol. 43, No. 5, pp.1303-1312, (May 2008).
- (21) N. Sasaki, K. Kimoto, W. Moriyama, and T. Kikkawa, "A Single-Chip Ultra-Wideband Receiver with Silicon Integrated Antennas for Inter-Chip Wireless Interconnection," IEEE Journal of Solid-State Circuits, Vol. 44, No. 2, pp.382-393, (Feb. 2009).

この研究は、平成19年度SCAT研究助成の対象として採用され、平成20年度~22年度に実施されたものです。