

神経細胞の模倣による高効率集積回路の研究

Development of Efficiency Integrated Circuit based on Neural Signal Process



木野 久志 (Hisashi KINO, Ph. D.)
東北大学 学際科学フロンティア研究所 助教
(Assistant Professor, Frontier Research Institute for Interdisciplinary Sciences (FRIS), Tohoku University)
IEEE 応用物理学会
研究専門分野：半導体デバイス

あらまし 現在の高度情報化社会は、10 億個を超えるトランジスタによって構成される半導体集積回路によって支えられている。半導体集積回路を構成するトランジスタの個数は、年々指数関数的に増大しているが、限界が近いとされている。そこで、本研究では脳における神経細胞の動きに注目することで、従来は大規模な回路構成が必要であった機能を小規模な回路で実現することを試みる。神経細胞は、入力のリズムを考慮した演算方式で信号伝達を行っている。細胞への入力は複数あり、それぞれ重みが異なっている。入力信号の総和がしきい値以上の重みの場合に次の細胞へ信号が出力される。この従来の回路構成では、神経細胞の機能を実現するには大規模な回路が必要であった。本研究では、神経細胞の動作におけるしきい値に注目し、磁気トンネル接合素子と呼ばれる素子を用いて重みのしきい値を実現することで、神経細胞と同等の機能を小規模回路で実現する。

1. 研究背景

現在の高度情報化社会をハードウェア面で支える半導体集積回路 (Large Scale Integrated circuit : LSI) の発展は、LSI を構成する金属-酸化膜-半導体電界効果型トランジスタ (Metal-Oxide Semiconductor Field-Effect Transistor : MOSFET) の微細化によってなされてきた。このことは、集積度を指数関数的に増大できるという、いわゆるムーアの法則に従って発展を遂げてきたことから裏付けられる[1]。現在のマ

イクロプロセッサやメモリには 10 億個以上のトランジスタが集積されており、最小設計寸法は 20 nm を下回っている。しかしながら、微細化に伴うリーク電流の増大や加工限界などの問題も顕在化しており、微細化の限界が近いとされており、電子デバイスの新たな発展指針が模索されている。

LSI は人の脳と比較すると、人が一生を費やしても演算不可能な複雑な計算を厳密にかつ瞬時に行うことが出来る。しかしながら、画像認識をはじめとする柔軟な情報処理の面では人の脳が遙かに優れている。この差は、人の脳と LSI で情報処理の方法が異なることに起因する。神経細胞は、入力のリズムを考慮した演算方式で信号伝達を行っている。細胞への入力は複数あり、それぞれ入力には異なる重みが付加されている。入力信号の重みの総和がしきい値以上の重みの場合に次の細胞へ信号が出力される。この処理を脳内では 1 つの神経細胞で実行しているが、LSI で実行すると、図 1 に示すような膨大な規模の回路が必要となる。もし、人の脳と同様に、1 つあるいは小規模な回路構成で「あるしきい値以上の入力となされた場合に信号を出力する」という処理を実現できれば、LSI は回路構成の効率は各段に向上すると考えられる。

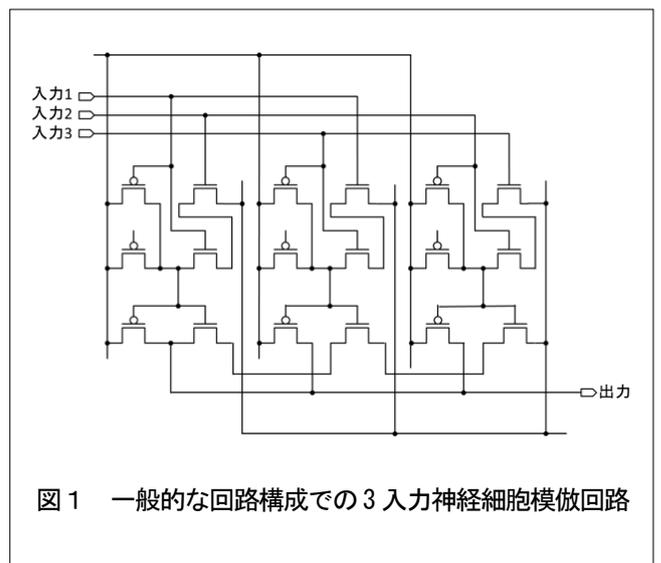
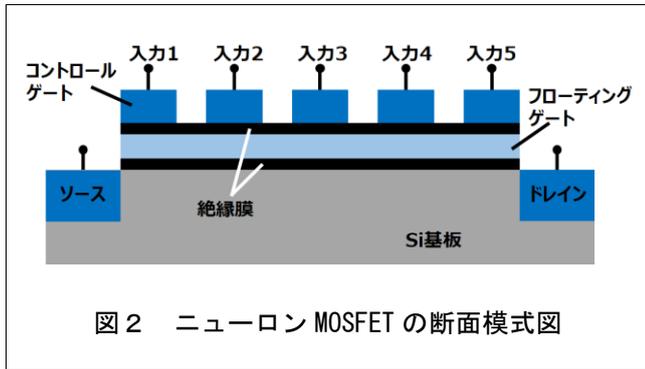


図 1 一般的な回路構成での 3 入力神経細胞模倣回路

同様の考え方として、ニューロン MOSFET が研究されている[2][3]。ニューロン MOSFET は、図 2 に示すように、シリコン基板上に酸化膜、フローティング

神経細胞の模倣による高効率集積回路の研究

Development of Efficiency Integrated Circuit based on Neural Signal Process



ゲート、酸化膜、複数のコントロールゲートが積層された構造を有する。コントロールゲートに電圧が印加されると、フローティングゲート上部に電荷が集まる。一方、フローティングゲート下部には、上部に蓄積された電荷とは正負反転した電荷が蓄積される。この電荷により、フローティングゲート直下のシリコン基板にはチャネルが形成され電流が流れる。つまり、複数あるコントロールゲートのうち、一定上のコントロールゲートに電圧が印加されると、チャネルが形成され、トランジスタのスイッチがオンの状態となる。ニューロン MOSFET は、神経細胞と同様に、一定のしきい値以上の入力となされたときに出力する特性を有しており、高効率な集積回路を実現している。しかしながら、一つのトランジスタに複数のコントロールゲートを形成する必要があり、入力数が増えるごとにチャネル長が増加する。ニューロン MOSFET 毎の駆動電流をそろえるためには、最も長いチャネル長に統一すべきだが、その場合は、長チャネルによる駆動電流の低下を招く。また、フラッシュメモリと同等の構造であり、フローティングゲートへの電荷注入の影響も考慮する必要がある。

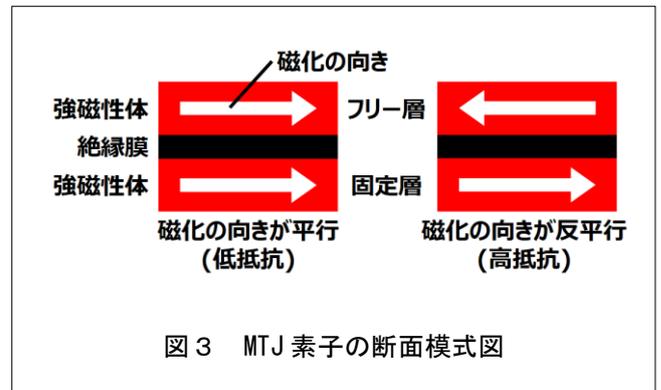
本研究では、2 値の可変抵抗素子である磁気トンネル接合 (Magnetic Tunnel Junction : MTJ) 素子を用いた神経細胞模倣回路を提案する。

2. 研究内容

2.1 MTJ 素子

MTJ 素子の断面模式図を図3に示す。MTJ 素子は、2 つの強磁性体薄膜で絶縁体を挟んだ構造となっている。この2層の強磁性体薄膜の相対的な磁化の向きに

よって、MTJ 素子の抵抗値が変化する。磁化の向きが平行の場合は抵抗値が低く、反平行の場合は抵抗値が高くなる。一般に、2 つの強磁性体薄膜のうち、1 層は磁化の向きが変わらない固定層、もう1層が外部からの入力により磁化の向きが反転するフリー層として形成される。フリー層の磁化反転の方法は、外部から磁場を与える方法と、電子スピンの向きが制御されたスピン流を印加するスピン注入磁化反転方式が存在する。いずれの場合も、一定以上の磁場ないしは電流を印加することで、フリー層の磁化の向きが反転する。この一定以上の値を神経細胞の出力のしきい値と見立てることで、神経細胞の機能を模倣することが可能となる。また、フリー層の磁化は不揮発性を有する。つまり、外部から電圧や電流の印加がない状態でも、磁化の向きに変わりはない。そのため、神経細胞のシナプス結合における伝達効率の保持と同様の効果も期待できる。さらに、MTJ 素子における磁化反転に要する時間は、10 ns 以下であり、非常に高速な抵抗変化が可能である。また、抵抗変化の回数も 10^{15} 回以上と言われており、現在のプロセッサやメモリ用途への応用を考えても、十分な耐久性を有している[4][5]。



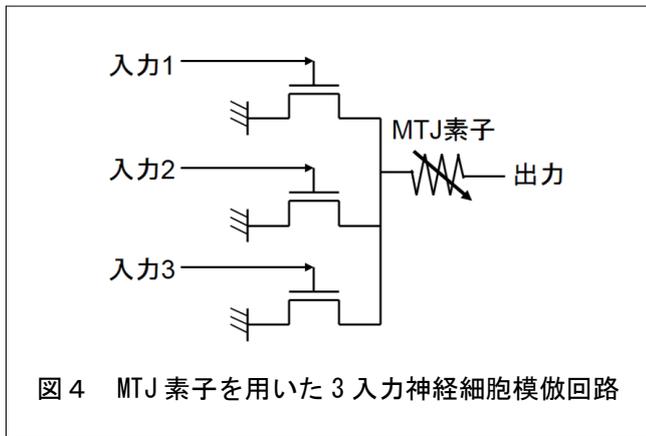
2.2 MTJ 素子を用いた神経細胞模倣回路

図4に、本研究で提案する神経細胞の模倣回路を示す。模倣回路は、複数の並列に接続した複数の MOSFET と1個の MTJ 素子で構成される。本研究で用いる MTJ 素子は、スピン注入磁化反転方式である。提案回路で入力信号は、各 MOSFET のゲートに入力され、入力数に応じた電流が MTJ 素子に流れる。電流密度が磁化反転のしきい値を超える場合に、MTJ

神経細胞の模倣による高効率集積回路の研究

Development of Efficiency Integrated Circuit based on Neural Signal Process

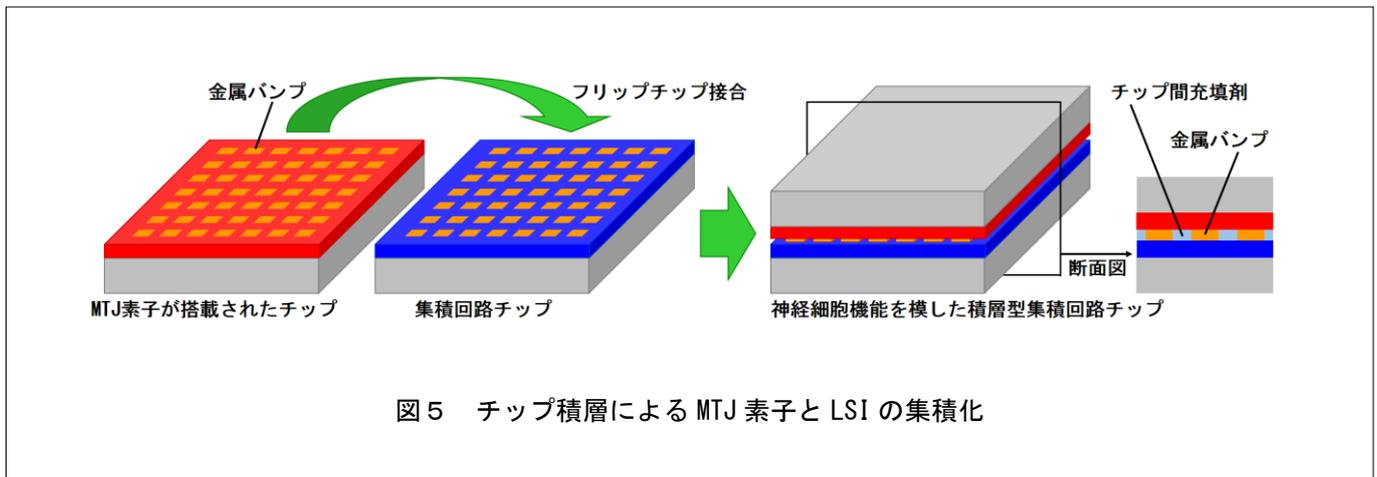
素子の抵抗値は下がる。MTJ 素子の相対的な磁化方向は、不揮発であるため、神経細胞の伝達効率と同様に、情報保持に電圧および電流の印加は不要である。MTJ 素子の反転しきい値は、電流密度で決定されるため、MTJ 素子の面積を調整することで、磁化反転に必要な電流値は調整可能である。また、神経細胞における各入力の重みは、MOSFET のゲート幅を調整することで可能となる。このように提案回路は、神経細胞機能を小規模な構成で模倣している。



2.3 神経細胞模倣回路の試作

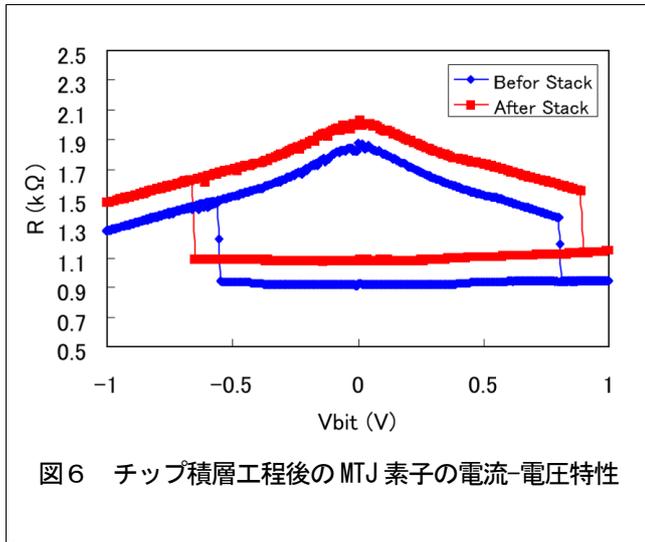
MTJ 素子を組み込んだ様々な集積回路が提案されており、高い関心を集めている[6][7]。一般に、MTJ 素子と MOSFET は同一チップ上に形成される。しかし、MTJ 素子は、単結晶材料で構成されることが望ましく、単結晶化のためには、MTJ 素子の下地は 2 nm

以下の算術平均粗さが望ましいとされている。しかしながら、MOSFET が形成された基板にて高平坦面を形成することは、非常に困難であり、MTJ 素子を用いた不揮発性メモリの歩留まり低下の要因となっている。本研究では、図 5 に示すように、MOSFET が形成されていない高平坦なウェハ上に MTJ 素子を作製し、チップ化後、LSI チップを積層することで提案回路を作製する。積層されるチップ間の電気的接続は、金属マイクロバンプと呼ばれる直径 10 μm ほどの小さな金属によって行う。このマイクロバンプには、一般に Sn などのはんだ材料が用いられ、チップ積層時に熔融させることで上下のバンプを接合させる。しかしながら、Sn を用いた場合には、300°C 以上の加熱が必要となり、磁性材料で構成される MTJ 素子の性能劣化が懸念される。そこで、本研究では、In と Au を用いた 200°C 以下での接合が可能、かつ高い信頼性を維持できる接合を用いた。In と Au の組み合わせは、TLP (Transient Liquid Phase Diffusion) 接合が可能であり、接合後は InAu_2 を形成する。 InAu_2 の融点は約 540°C であり、非常に安定した金属となる。本研究においては、2 層接合を用いたが、将来は 3 層以上の接合も想定しており、3 層以降の接合時の加熱工程においても、下層の InAu_2 は安定な状態を維持できる。図 6 に、接合前後での MTJ 素子の特性を示す。特性変動は、FET チップ上での配線抵抗が原因であり、接合による劣化は見られなかった。本研究では、以上の接合技術により、神経細胞を模倣した LSI を作製した。



神経細胞の模倣による高効率集積回路の研究

Development of Efficiency Integrated Circuit based on Neural Signal Process



2.4 評価

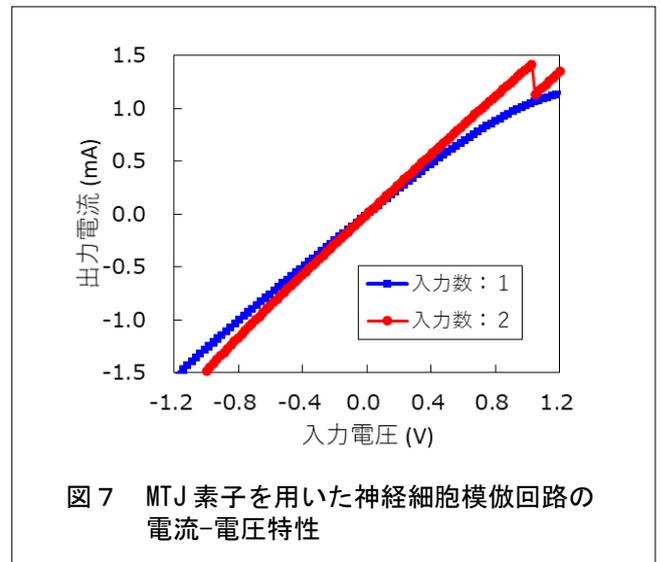
図7に、神経細胞の機能を再現した回路の特性評価結果を示す。神経細胞は、しきい値以上の入力が入ってきた際に、信号を次の細胞へ出力する重み演算を実行している。本研究で試作した回路は、図7に示すように、2入力以上の時に約1Vの入力電圧付近で波形に急激な変化が生じている。これはMTJ素子の抵抗変化を示し、神経細胞特有の重み演算を再現できていることを確認できる。実際、従来の論理回路で3入力に対して2入力以上の場合にのみ信号を出す回路を構成すると、図1に示すように、膨大な回路構成となる。この様に、神経細胞の動作機構を理解し、スピントロニクスと従来の電子回路技術を適切に組み合わせることで、非常に効率の良い電子回路を構成することが可能となる。

3. まとめと今後の展望

トランジスタの最小設計寸法が物理限界に近付いており、LSIの大規模化が近い将来限界を迎えるとされている。本研究では、神経細胞の機能に注目し、従来と同機能の集積回路をより小規模に実現することを試みた。神経細胞の各入力には重みが付加されており、入力される重みの総和がしきい値以上となった際に、神経細胞は次の神経細胞へ信号を出力する。本研究では、このしきい値をスピントロニクス技術で形成されるMTJ素子によって再現した。MTJ素子に複数の

MOSFETを並列に接続することで、神経細胞機能を模した回路を実現した。実際の作製は、MTJ素子を有するチップとMOSFETを有するチップを別々に用意し、金属マイクロバンプを用いた接合により行う。試作した神経細胞模倣回路は、一定数以上の信号が入力されたときに抵抗変化を示した。抵抗変化により、出力信号の大きさは変化する。つまり、試作した回路は神経細胞と同様の動作を示した。本機能を従来の回路構成で実現すると、大規模な構成が必要となる。このように、神経細胞機能を模倣することで、回路の大幅な小規模化が実現可能であることを示した。

将来は、さらに複雑な演算を本研究で提案する手法により実現し、高度情報化社会をハードウェア面で支えるLSIの更なる発展に貢献したいと考える。



謝辞

本研究の一部は、東北大学大学院工学研究科附属マイクロ・ナノマシニング研究教育センターで実施された。

参考文献

- [1] Gordon E. Moore, "Cramming More Components onto Integrated Circuits," *Electronics*, pp. 114-117, April, 1965.
- [2] Tadashi Shibata, Tadahiro Ohmi, "A Functional MOS Transistor Featuring Gate-Level Weighted Sum and Threshold Operations," *IEEE Transactions on Electron Devices*, Vol. 39, No. 6, pp. 1444-1455 June, 1992.

神経細胞の模倣による高効率集積回路の研究

Development of Efficiency Integrated Circuit based on Neural Signal Process

- [3] Rafail Lashevsky, Kazuyuki Takaara, Masatsugu Souma, "Neuron MOSFET as a Way to Design a Threshold Gates with the Threshold and Input Weights Alterable in Real Time," The 1998 IEEE Asia-Pacific Conference on Circuits and Systems, pp. 263-266, 1998.
- [4] Claude Chappert, Albert Fert, Frederic Nguyen Van Dau, "The emergence of spin electronics in data strae," nature materials, Vol. 6, pp. 813-823, November, 2007.
- [5] T. Kishi, H. Yoda, T. Kai, T. Nagase, T. Kitagawa, M. Yoshikawa, K. Nishiyama, T. Daibou, M. nagamine, M. Amano, S. Takahashi, M. Nakayama, N. Shimoura, H. Aikawa, S. Ikegawa, S. Yasa, K. Yakushiji, H. Kubota, A. Fukushima, M. Oogane, T. Miyazaki, and K. Ando, "Lower-current and Fast switching of A Perpendicular TMR for high Speed and High density Spin-Transfer-Torque MRAM," *Technical Digest of International Electron Device Meeting*, pp.1-4, December, 2008.
- [6] S. Matsunaga, J. Hayakawa, S. Ikeda, K. Miura, T. Endoh, H. Ohno, and T. Hanyu, "MTJ-Based Nonvolatile Logic-in-Memory Circuit, Future Prospects and Issues," *Design Automation and Test in Europe (DATE)*, pp. 433-436, April, 2009
- [7] Yitao Ma, Sadahiko Miura, Hiroaki Honjo, Shoji Ikeda, Takahiro Hanyu, Hideo Ohno and Tetsuo Endoh, "A 600- μ W ultra-low-power associative processor for image pattern recognition employing magnetic tunnel junction-based nonvolatile memories with autonomic intelligent power-gating scheme," *Japanese Journal of Applied Physics*, Vol. 55, No. 4S, pp. 04EF15-1-04EF15-11, 2016.

この研究は、平成25年度SCAT研究助成の対象として採用され、平成26～27年度に実施されたものです。