

# MLC-PCM 書き込み時間削減のための符号

## Coding for write time reduction on MLC-PCM



難波 一輝 (Kazuteru NAMBA, Ph. D.)

千葉大学 大学院工学研究院 准教授

(Associate Professor, Chiba University)

電子情報通信学会 IEEE 他

研究専門分野：計算機工学 ディペンダブルコンピューティング

### あらまし

我々の社会は電子情報通信技術に支えられており、計算機システムは電子情報通信技術の中でも中核をなす技術の1種である。メモリシステムは計算機システムを構成する最も重要な部品の1種である。従来よく使用されているメモリとして、DRAM や NAND 型フラッシュメモリなどがある。近年、さらなる発展のため、新しいメモリシステムが開発されている。多レベル相変化メモリ(MLC-PCM)<sup>\*1,2</sup> はもっとも有望な新しいメモリシステムの1種として期待されており、国内外の多くの研究者や技術者から注目を集めている。しかし MLC-PCM には書き込み速度が遅いという欠点がある。本研究では MLC-PCM に対し従来法より優れた書き込み速度向上法を明らかにしている。また、その手法を実現するハードウェアについても評価しており、従来法より小面積、低電力での実現が可能であることを明らかにしている。

### 1. 研究の目的

我々の現代社会は電子情報通信技術に支えられており、その中でも計算機システムは特に重要な技術の1種として、国内外の多くの研究者によって学ばれている。メモリシステムは計算機システムを構成する最も重要な部品の1種であり、その性能向上の工業的産業的重要性は高く、学術的興味も強い。さらなる発展のため、新しいタイプのメモリシステムが強く望まれて

いる。相変化メモリ(PCM)はこの要望に応えるもっとも有望なメモリの1種と考えられており、国内外の多くの研究者や技術者から注目を集めている。

PCM はセット操作とリセット操作(つまり 0 を書き込む操作と 1 を書き込む操作)に要する書き込み時間が大きく違うことが分かっている。具体的には約 5~10 倍違うことが知られており、書き込み方向が不均一になるようにシステム運用することにより、メモリの平均書き込み時間を 1/5~1/10 倍を下界として減らす可能性があると言える。

この様な観点から符号(冗長性)を用いた PCM の書き込み時間削減法を提案された[1]。符号の符号化器・復号器を用いるというアイデアは工学的に非常に良く、書き込み時間の削減に成功している。しかし一方、このとき採用された WOM 符号は情報学の観点から見たとき、この手法に適した符号とは言えない。そこで著者らは [2] において Li らの手法をさらに発展した、より高性能な PCM の書き込み時間削減法を提案した。本手法においては従来手法を情報学の観点から詳しく解析し、WOM 符号ではない、情報学の観点からこの手法に適した新たな符号を提案し用いている。特にこの符号は PCM の高寿命化の観点からも良好な性質を有する[3]。

さて、PCM には高信頼な単一レベル(SLC)-PCM と高集積な MLC-PCM がある。著者の従来手法は SLC-PCM だけを対象としており、MLC-PCM への拡張はまだあまり検討されていなかった。本研究では MLC-PCM の書き込み時間削減法について検討を行った。

### 2. 研究の背景

現代社会は計算機システムにより支えられており、計算機システム性能向上の現代社会に対する貢献は大きい。特にメモリシステムは計算機システムの中でも重要な部品の一つであり、広く研究されている。主記憶には DRAM がよく使われており、補助記憶装置には SSD や USB メモリなど、フラッシュメモリが使われている。しかし、これらは成長の限界が見えつつあると言われている。このような観点から、新しい不揮発性メモリシステム<sup>\*3</sup>の開発が進んでいる。次世代

# MLC-PCM 書き込み時間削減のための符号

## Coding for write time reduction on MLC-PCM

メモリとして注目されているものに ReRAM[4]、STT-RAM[5]、そして本研究で対象とする PCM [6] などがある。特に PCM は同じ不揮発性メモリであるフラッシュメモリより高速で、補助記憶装置だけでなく、主記憶装置としての活躍も期待されている[7]。さらにメモリセル 1 個に複数のビットを記憶させる MLC 技術により、高集積化を実現している。

しかし PCM には読み込み時間と比べ書き込み時間が長いという問題点がある。これを解決する方法について、多くの研究者によって検討がなされている[1]。例えば、新素材を使用することが考えられる[8]。システムレベルではスケジューリングなどが考えられている[9]。DCW もまた良好な手法として知られる。メモリセル 1 個に 1 ビットを記憶させる SLC では flip-N-write [10]などの良好な手法が提案されているが、これらは MLC には応用できない。論文 [1] はセット操作("1" を書き込む操作) とリセット操作 ("0" を書き込む操作) に 5~10 倍の時間差があることに注目した手法を提案している。この手法では時間のかかるセット操作の発生を符号化技術を用いることで削減している。ただ、[1] で採用された WOM 符号はこの用途で必ずしも最適な符号ではなかった。そこで著者らはよってこの用途に適した WTS 符号と呼ばれる符号を提案している[2]。しかし WOM 符号や WTS 符号は SLC にしか適用できない。MLC 技術を適用した PCM に使用することはできない。MLC-PCM に対しては CABS と呼ばれる手法が最近提案された[11]。しかし、これも十分な能力を持たない。本研究では MLC-PCM に対し、良好な能力を有する書き込み時間削減法を明らかにしている。

### 3. 研究の方法

SLC ではセット操作がリセット操作より遅いことが分かっていた。そのため、リセット操作を避けるような手法が考えられていた。MLC-PCM でも同様な方針で考えれば良い。しかし、書き込み時間が長くなる操作が SLC とは異なる[12]。そこで、それに合わせて考える必要がある。図 1 は MLC-PCM における書き込み時間を示している。ここで値を b から a に変化させるとき、変化後の値 a が強く影響していること

が分かる。これは MLC-PCM の値の更新方式 [13] に起因する特徴である。本研究ではこの特徴を利用した書き込み時間削減を検討した。

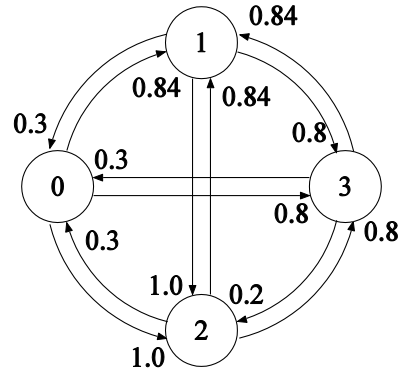


図 1. MLC-PCM における書き込み時間 [12]

提案手法は符号化技術を用いている。従来手法である CABS (content-aware bit shuffling) [11] はデータをシャッフルしている。シャッフルは符号化の 1 種であると考えられることもでき、提案手法は CABS の亜種と考えることもできる。しかし、符号化と考えることで CABS より適当な符号を採用することができ、高速化に成功している。

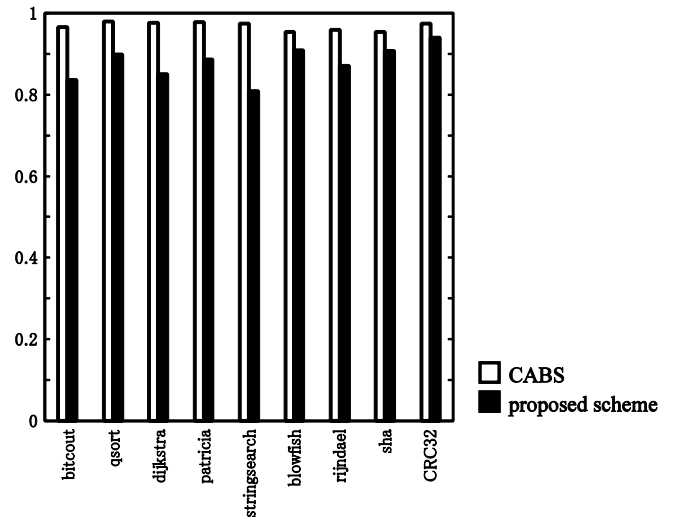


図 2. CABS と提案手法の書き込み時間の比較

具体的に図 2 は 32 ビットワードメモリシステムにおいて MiBench ベンチマークに含まれる 9 種のプログラムを実行したときの書き込み時間であり、符号化を行わなかったときの書き込み時間を 1 とすることで

# MLC-PCM 書き込み時間削減のための符号

## Coding for write time reduction on MLC-PCM

正規化している。実験には商用 32 bit CPU(ソフトコア)と Cadence NC-Verilog simulator を使用している(本実験は、東京大学 VDEC 活動を通して、日本ケイデンス・デザイン・システムズ社の協力で行われたものである。) CABS 手法は平均 0.97 である一方、提案手法は 0.88 と 1 割以上の書き込み時間削減を実現している。(実際にはこれだけの効果を得るためには条件が限定される。詳細は原著(関連文献)を参照されたい。)

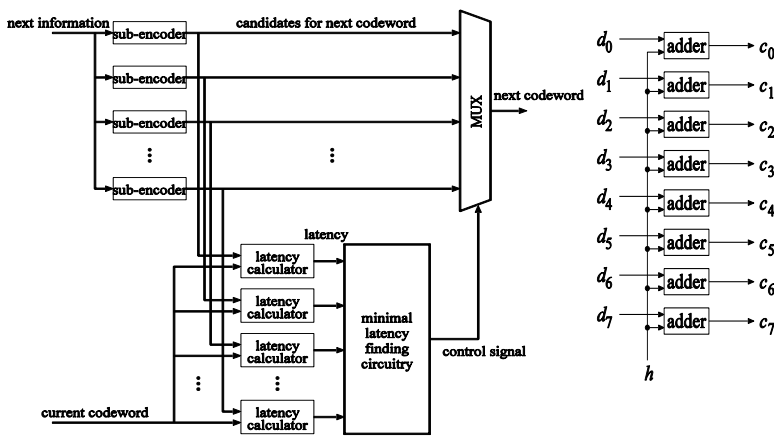


図 3. 符号化器

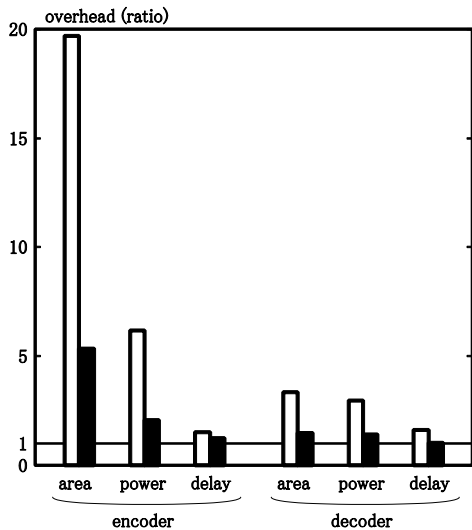


図 4. 符号化器・復号器のハードウェアオーバーヘッドの比較

提案手法を実現する符号化器の設計を図 3 に示す。また、符号化器、復号器のオーバーヘッド(面積、消費電力、遅延時間)の比較を図 4 に示す。提案手法の符

号化器、復号器は CABS より単純でありオーバーヘッドは少ない。また、提案手法は符号化率も CABS よりよく(16/18 から 16/17 に改善)、冗長性を記憶するメモリ空間も少なくなっている。図 5 にメモリセルまで考慮したときの面積比較を示す。提案手法は良好な結果を得ていることが分かる。

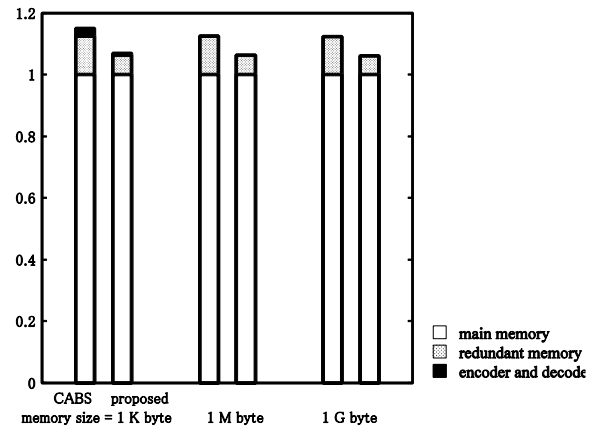


図 5. メモリシステム全体の面積比較

### 4. 将来展望

PCM の位置づけはさらに重要なものへとってきている。PCM は抵抗性メモリであり、ニューラルネットワークへの応用を考えたとき、その積和演算をプロセッサを使用せずに高速に実行できることが指摘されている。このような観点から、本研究をさらに発展させることも検討しており、すでにニューラルネットワークを実現する機能メモリシステム\*4について、いくらか成果を得つつある[14, 15]。また、本研究成果について問い合わせがあり、その結果、他大学との共同研究に繋がっている。

### おわりに

情報学の観点からアプローチする本研究により、特に多レベル相変化メモリ (MLC-PCM) を用いた新しいメモリシステムにおいて、材料工学や電気電子工学などの工学的手段だけでは得られなかったさらなる速度向上をもたらすことができた。具体的に符号化手法を用いている。提案手法は従来法と比べて約 10% の書き込み時間削減に成功している他、符号化率、ハードウェアオーバーヘッド(消費電力など)の観点からも良

# MLC-PCM 書き込み時間削減のための符号

## Coding for write time reduction on MLC-PCM

好な結果を得た。その結果は現代社会にも反映されるものであり、その社会的産業的意義があると期待している。

### 用語解説

- \*1 PCM (相変化メモリ): 次世代不揮発性メモリシステムの1種。抵抗値が変化する素材を使い、抵抗値を用いて論理値を記憶する。通常の多くのメモリシステムは電圧値や電荷で記憶している。
- \*2 SLC/MLC (単一レベル/多レベルメモリセル): 1個のメモリセルで1ビットの値を記憶するのが SLC である。SRAM, DRAM (DDR) など一般に流通しているメモリの多くがこの SLC である。1セルに複数ビットの値を記憶するのが MLC, SSD などに使われるフラッシュメモリシステムではよく使われる。(TLC, QLC などは MLC の1種)
- \*3 不揮発性メモリ: 電源を消しても記憶値を保持し続けるメモリ。USB メモリなどに使われるフラッシュメモリがそれである。
- \*4 機能メモリ: 単なる記憶装置ではなく、それ以上の機能を持つような記憶装置。古くは連想メモリ、キュー、スタックなどを指す。最近ではシナプス情報を記憶するためのメモリに、シナプス演算を行う装置が付随した機能メモリが考えられており、ここではそれを指す。

### 参考文献

- [1] J. Li and K. Mohanram, "Write-once-memory-code phase change memory," IEEE Design, Automation and Test in Europe Conference and Exhibition (DATE), 2014, (doi: 10.7873/DATE.2014.194).
- [2] K. Namba and F. Lombardi, "A Coding Scheme for Write Time Improvement of Phase Change Memory (PCM) Systems," IEEE Trans. Multi-Scale Comput. Syst., Vol.2, No.4, pp.291-296, Sep. 2016.
- [3] K. Namba and F. Lombardi, "On coding for endurance enhancement and error control of phase change memories (PCMs) with write latency reduction," IEEE Trans. Very Large Scale Integr. Syst., Vol.26, No.2, pp.230-238, Feb. 2018.
- [4] R. Waser, R. Dittmann, G. Staikov, and K. Szot, "Redox-based resistive switching memories – nanoionic mechanisms, prospects, and challenges," Adv. Mater., vol. 21, no. 25–26, pp. 2632–2633, Jul. 2009.
- [5] M. Hosomi et al., "A novel nonvolatile memory with spin torque transfer magnetization switching: spin-RAM," Tech. Digest IEEE Int'l Electron Devices Meeting, pp. 459–462, 2005.
- [6] S. Kang, et al., "A 0.1- $\mu\text{m}$  1.8-V 256-Mb phase-change random access memory (PRAM) with 66-MHz synchronous burst-read operation," IEEE J. Solid-State Circuits, vol. 42, no. 1, pp. 210–218, Jan. 2007.
- [7] J. Kong and H. Zhou, "Improving privacy and lifetime of PCM-based main memory," Proc. IEEE/IFIP Int'l Conf. Dependable Syst. Networks, pp. 333–342, 2010.
- [8] C.-M. Lee, et al., "Performances of GeSnSbTe material for high-speed phase change memory," Proc. IEEE Int'l Symp. VLSI Technol. Syst. App., p. 10.1109/VTSA.2007.378936, 2007.
- [9] M. K. Qureshi, M. M. Franceschini, A. Jagmohan, and L. A. Lastras, "PreSET: Improving performance of phase change memories by exploiting asymmetry in write times," Proc. IEEE Annu. Int'l Symp. Comput. Archit., pp. 380–391, 2012.
- [10] S. Cho and H. Lee, "Flip-N-write: A simple deterministic technique to improve PRAM write performance, energy and endurance," Proc. Annu. IEEE/ACM Int'l Symp. Microarchit., pp. 347–357, 2009.
- [11] M. Han, Y. Han, S. W. Kim, H. Lee, and I. Park, "Content-aware bit shuffling for maximizing PCM endurance," J. ACM Trans Des. Autom. Electron. Syst., vol. 22, no. 3, p. 48, May 2017.

## MLC-PCM 書き込み時間削減のための符号

### Coding for write time reduction on MLC-PCM

- [12] H. Yoon, J. Meza, N. Muralimanohar, N. P. Jouppi, and O. Mutlu, "Efficient data mapping and buffering techniques for multilevel cell phase-change memories," *J. ACM Trans. Archit. Optim.*, vol. 11, no. 4, Jan. 2015.
- [13] M. Joshi, W. Zhang, and T. Li, "Mercury: A fast and energy-efficient multi-level cell based phase change memory system," *Proc. IEEE Int'l Symp. High Perform. Comput. Archit.*, Feb. 2011.
- [14] K. Kozu and K. Namba, "Relaxing device requirements for non-linearity in Deep Neural Networks accelerators with Phase Change Memory," *Proc IEEE Int'l Conf. Consum. Electron. Taiwan*, June 2021 (発表予定).
- [15] T. Takahashi and K. Namba, "Influence of recognition performance on recurrent neural network using phase-change memory as synapses," *Proc IEEE Int'l Conf. Consum. Electron. Taiwan*, Sept. 2020.

#### 関連文献

Kazuteru Namba and Fabrizio Lombardi, "Coding for Write Latency Reduction in a Multi-Level Cell (MLC) Phase Change Memory (PCM)," *IEEE Trans. Comput.* Vol.68, No.2, pp.301-306, Feb. 2019.

この研究は、平成29年度SCAT研究助成の対象として採用され、平成30～令和元年度に実施されたものです。