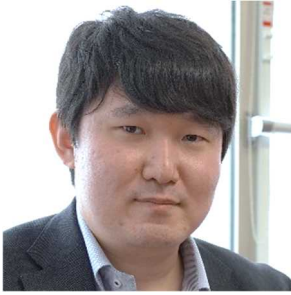


シリコンリング光共振器を用いた光演算回路の研究

A study on an optical processing unit using Si ring resonators



佐藤 孝憲 (Takanori SATO, Ph. D.)

北海道大学 大学院情報科学研究院 准教授
(Associate Professor, Hokkaido University)

IEEE 電子情報通信学会 アメリカ光学会 他

研究専門分野：シリコンフォトニクス 光通信デバイス 光導波路解析

あらまし

現在の電子デバイスの演算性能は既に限界に達しつつある。その突破口の1つとして、光信号を電氣的に制御して演算を行う光演算回路素子が近年注目されている。光演算回路は電子回路に比べて単位時間当たりの演算量が多く、超高速演算の可能性を有している。しかし、光回路素子のサイズの制約から集積度の増加が難しく、演算次数の拡大が困難であった。そこで本研究では、容易に作製可能で小型な光素子の1つであるシリコンリング共振器に着目し、これを可変パワー分配器として動作させることで、光演算素子の小型化、すなわち演算次数の拡大を試みた。具体的には、光演算回路の1つとして光全加算器を取り上げ、リング共振器を用いた構成例を提案し、その原理検証を行った。これと並行して、シリコンリング共振器の試作と測定実験を行い、光全加算器に組み込む可変パワー分配器として動作可能であることを確認した。

1. 研究の背景

電子デバイスの演算性能の限界突破に向けて、光信号を用いた演算回路素子の開発が活発化している。特に、電子デバイスと光デバイスの良いとこどりが可能な光電融合デバイス（光信号を電氣的に制御するデバイスの総称）は、集積度や消費電力等の観点から既存のデバイス性能を大きく上回る可能性を秘めており、いかに電子デバイスと光デバイスが協調させられるか

が鍵となる。このような思想をベースとして革新的技術の創出を目指す「IOWN 構想」と呼ばれるものが2019年にNTTから発表されるなど、多岐にわたる分野で注目を集めている。中でも、シリコンフォトニクス^{*1}に関する研究が数多く報告されており、既存の電子回路における情報伝送を光で行う光インターコネクに留まらず、光信号で計算を行う光演算回路の研究に対する期待も高まっている状況である。例えば、 N 入力 N 出力の光導波路を用意して、それらを適切に干渉させることで、任意の入出力変換が可能であり、これを行列積演算と見立てて計算を行う光回路が提案されている[1]。この光行列表積演算回路は、光信号を用いたアナログ演算回路の一種である。また、2進数の演算が可能な全加算器をシリコン導波路で構成したものが報告されている[2]。光全加算器は、入力した光信号が電氣的に制御された導波路デバイスを通すだけで2進数の計算が行えるものであり、光の速度で演算が実行できるという高速・低遅延な特性に期待が寄せられている。光全加算器は、光信号を用いたデジタル演算回路の一種であり、アナログ演算に比べると電子デバイスとの親和性が高いと言える。

しかし、電子デバイスと比較すると光デバイスの素子サイズはかなり大きく、可変光位相シフタの役割を果たすマイクロヒータ付直線導波路は100 μm 長程度、可変パワー分配器の役割を果たすマツハツェンダ干渉計^{*2}は200 μm 長程度が一般的に必要とされる。そのため、演算次数の拡大という点が課題であった。これを解決するためには、基本的な導波路素子の小型化が必要不可欠である。

2. 研究の目的

本研究では、申請者がこれまでに取り組んできた光共振器設計のノウハウを生かして、シリコンリング光共振器を用いた光演算回路設計を行い、飛躍的な集積度の向上、および、演算次数の拡大を目指している。シリコンリング共振器は一般的に、最小半径5~10 μm 程度の半径を持つリング状の導波路で構成され、共振特性の温度依存性も敏感なため、素子の小型化だけでなく省電力動作も期待できる。アナログ演算回路にリング共振器を導入した場合の理論検討は既に実施済み

シリコンリング光共振器を用いた光演算回路の研究

A study on an optical processing unit using Si ring resonators

[3]であり、本研究では、これをデジタル演算回路である全加算器に導入する場合の適用可能性について検討し、シリコンリング共振器ベースの全加算器の実現可能性を追究する。

3. 研究の方法、研究の結果

3.1 リング共振器を用いた 1bit 全加算器[4]

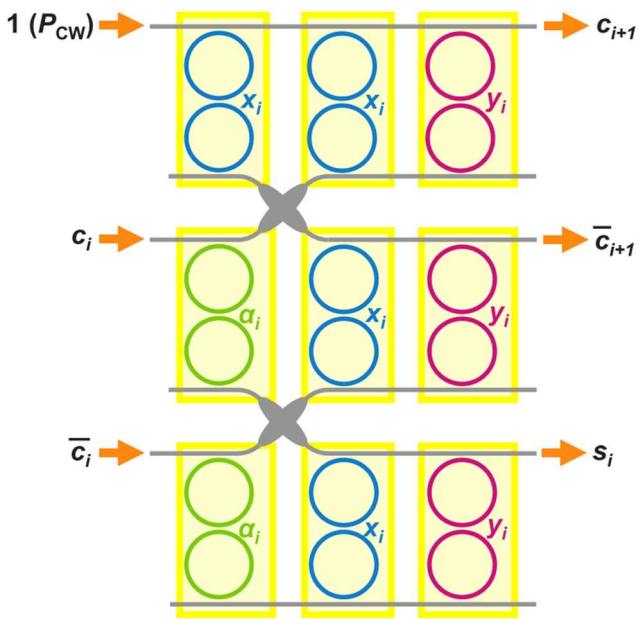


図1 リング共振器を用いた 1bit 全加算器の構成[4]

図1に、提案したリング共振器を用いた 1bit 全加算器の構成[4]を示す。ここで、1bit 全加算器は $x_i + y_i + c_i = 2 \cdot c_{i+1} + s_i$ ($x_i, y_i, c_i, s_i \in \{0, 1\}$) のように計算を行う回路であり、図中の c_i, s_i は光信号の強度に対応し、灰色の線（光導波路）を進みながら、近接した2段リング共振器と干渉して上下の導波路を行き来する。リング付近にラベル付けされている x_i, y_i は、電気的な共振状態の制御状態に対応し、図2(a)のように共振させると光信号が上下の導波路を行き来し（分配比 0:1）、図2(b)のように共振させないように制御すると光信号が上下の導波路を行き来できなくなる（分配比 1:0）ような特性を有する。 a_i は、演算回数によって定義される適切なパワー分配比で光を上下に分けるものである。なお、灰色の線が交差している部分は交差導波路と呼ばれるものであり、3次曲線の導波路形状とすること

で交差時の透過率を改善している。それ以外の具体的な構造パラメータは文献[4]中に示されている。

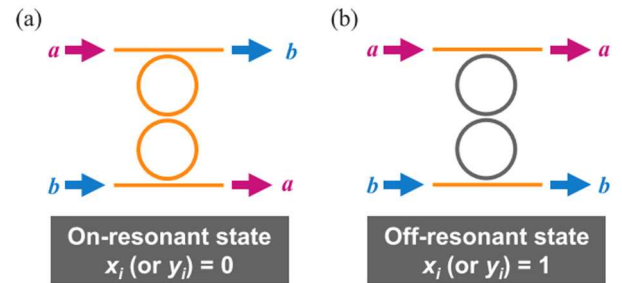


図2 リング共振器のふるまい[4]

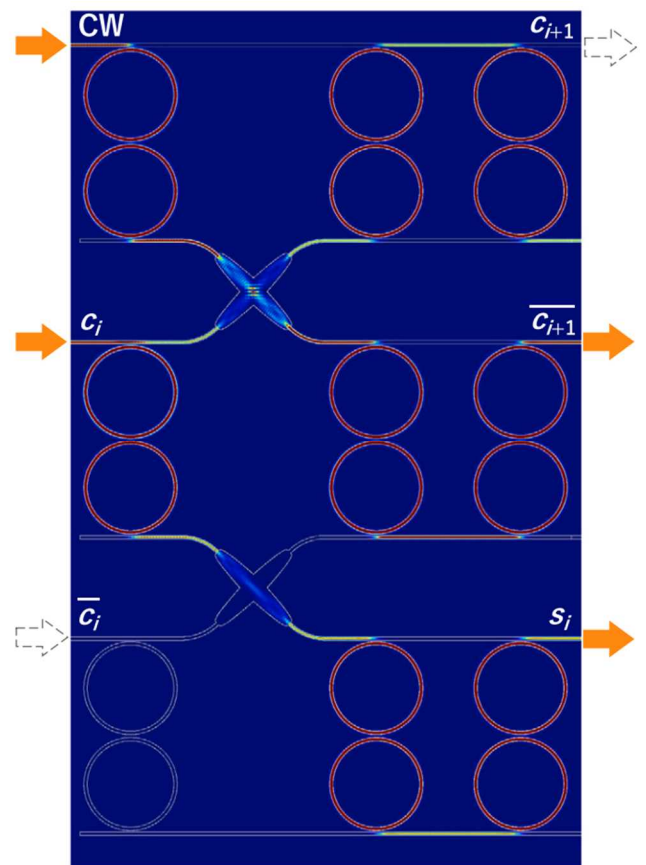


図3 電磁界シミュレーション結果①

($c_i = 1, x_i = 0, y_i = 0$ の定常状態)[4]

このような構成で全加算器の動作が可能かを確認するため、2次元有限要素法に基づく電磁界解析を行った。図3は、 $c_i = 1, x_i = 0, y_i = 0$ としたときの光強度分布を示している。なお、 a の部分は等分岐するよう

シリコンリング光共振器を用いた光演算回路の研究

A study on an optical processing unit using Si ring resonators

に設定されており、電気制御によって対象となるリング部だけ屈折率が変化して共振状態を制御できると仮定している。入力された光信号と電気信号に基づいて、適切な出力 $s_i = 1$, $c_{i+1} = 0$ が出力されていることがわかる。これを多段にして接続すれば、任意の次数 N bit の全加算器も構成可能である。ここで、1bit あたりの提案素子サイズはおよそ $60 \mu\text{m} \times 100 \mu\text{m}$ であり、これを通常のマッハツェンダ干渉計で構成しようとすると $600 \mu\text{m}$ 長程度は必要になると見込まれることから、(ヒータのクロストークなどを無視すれば) 単純計算でサイズを 1/10 程度に抑えられるものと試算できる。

ところで、リング共振器を用いたデバイスは、小型できるという利点がある一方で、共振という特性上、定常状態に至るまでに遅延時間が発生するという欠点がある。そこで、2次元有限要素法を用いた時間領域解析を行い、共振器の応答時間を調べた。

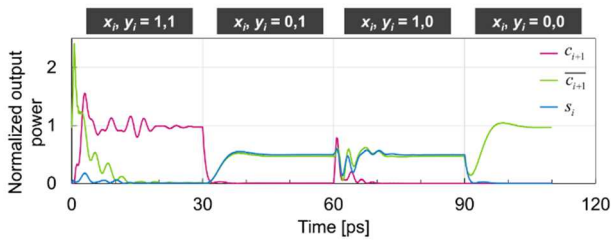


図4 電磁界シミュレーション結果②(30 ps おきに屈折率を変化させたときの出力時間波形)[4]

図4は、30 ps おきに x_i, y_i に応じた屈折率変化が与えられたときの光信号出力の時間変化を示している。ここでは、光共振器で共振するまでにかかる時間や、共振してから非共振状態に至るまでの時間を調べるため、電気的な制御にかかる時間は無視できるものとして、即座に屈折率が変化するような状態を仮定してシミュレーションを行っている。結果からわかるように、共振・非共振の切り替えで出力に振動が見られるものの、およそ 10 ps 程度で切り替えが完了しており、それほど大きな遅延は発生せず、屈折率変化にかかる遅延が支配的になるものと予想される。つまり、これに電気的な制御による遅延が上乗せされることになり、キャリアプラズマ効果などを用いた電気的な制御をかけることで、高速な演算が可能になると見込まれる。

3.2 リング共振器によるマッハツェンダ干渉計の試作[5]

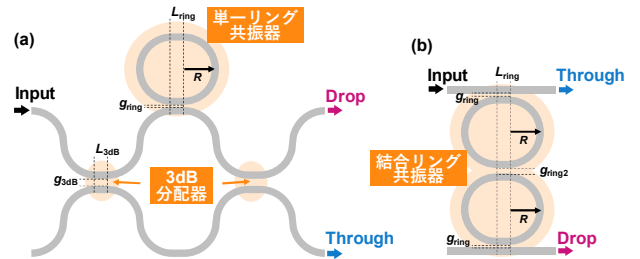


図5 リング共振器を用いたマッハツェンダ干渉計の構造図[5]

3.1 では、理論提案と数値計算による原理検証にとどまっておき、パワー分配部に2段リング共振器を配置して動作させることを想定していた。この検討と並行して、リング共振器を用いたマッハツェンダ干渉計の単体試作を行い、パワー分配動作の測定実験を行った。図5(a), (b)に試作したリング共振器の構造図を示す。図5(a)は、方向性結合器による3dB分配器をリング共振器の両端に配置してマッハツェンダ干渉計を構成したものである。リング共振器において、下部アームに対する相対的な位相変化が0であれば、Inputポートから入射したパワーはThroughポートに100%出力され、位相変化が0でないときは、その位相変化量に応じた分配比でThroughポートおよびDropポートから出射される。一方図5(b)は、3.1で検討していた2段リング共振器と同じ構成であり、2つのリングと上下の導波路を近接させる距離を適切に設定することで共振ピークがフラットな透過スペクトルを得ることができる。具体的な構造パラメータは文献[5]中に示されている。

図6(a), (b)に、図5(a), (b)の構造の透過スペクトルを示す。図中の青・赤色の実線は、それぞれ実験結果によって得られたThrough・Dropポートへの透過率である。また、これらの測定結果を再現する解析値を調べるため、モード結合理論と遺伝的アルゴリズムを用いて構造パラメータを求め、そのフィッティングカーブを描画したのが橙色の点線と黒破線である。図

シリコンリング光共振器を用いた光演算回路の研究

A study on an optical processing unit using Si ring resonators

6(a)より、左右非対称なスペクトルがみられること、および、Through・Drop ポートの共振ピークがそれぞれ-10、-40 dBと非対称であることから、共振状態におけるわずかな損失が影響していると考えられる。一方、図 6(b)では理想的な共振スペクトルが確認できる。Through・Drop ポートへの透過率は、1536~1538 nmの範囲で0 dBから-20 dBまで変化させることが可能であることが確認できる。いずれの構成でも演算回路経適用可能であると考えられるが、2 段リング共振器のほうが損失の影響が小さく、制御が容易であると考えられる。

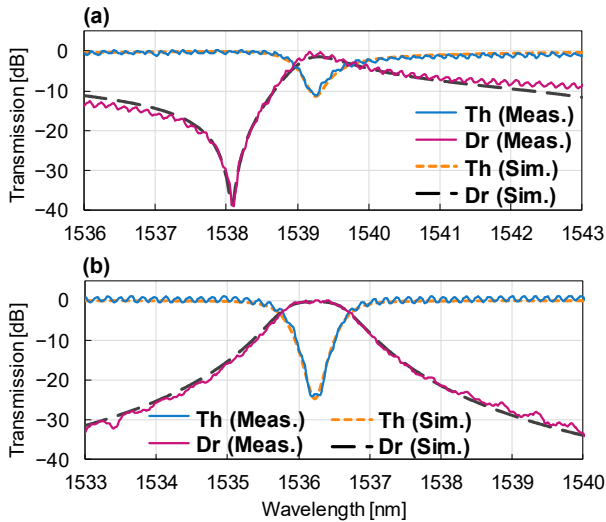


図 6 図 5 の構造における透過スペクトル[5]

図 5(b)の構造の電氣的制御による透過特性変化を調べるため、リング上部に TiN マイクロヒータを配置してこれに電流を流した場合の測定実験を行った。ヒータの加熱より導波路の温度が上昇し、これに伴って屈折率が変化すると、共振波長が長波長側にシフト（レッドシフト）する。したがって、電流の増減によって光分配比を制御することができる。図 7 に、電流と透過率の関係を表す測定結果を示す。ヒータの過熱により分配比を調節することができている。

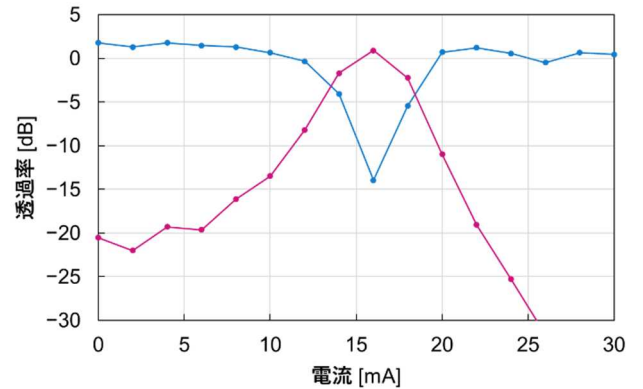


図 7 図 5(b)の構造におけるマイクロヒータ電圧印加時の入出力特性の変化

4. 将来展望

本検討では、3.1 のデバイスの構成提案と数値解析の原理検証、ならびに、3.2 の単一共振器の試作・測定による 1 次的な原理実証までを行った。これらを組み合わせることで、大幅に演算次数を拡大することができることが明らかとなった。例えば、単純に図 1 の構成を N bit 分右上につなげていくことを考えると、全体のデバイス長は $60 \times N \mu\text{m}$ となり、例えば 16 mm 長のチップであれば単純計算で 260 bit まで拡大できることになる。ただし、今回検討した屈折率制御は、初期検討としてマイクロヒータを使ったものであり、電氣的な制御が極めて遅い方法である。電子デバイスの性能を上回るためには、キャリアプラズマ効果等を用いた高速制御の検討も必要であり、今後の課題と考えている。屈折率変化にかかる遅延もクリアできれば、光演算が電子デバイスの演算性能を上回ることができ、既存の電子デバイスの性能を押し上げる補助装置のような役割を果たすと考えられる。

おわりに

本研究は、超高速演算の可能性を有する光全加算器に着目し、集積度の問題を改善するための一解決策としてリング共振器を用いたデバイス構成を提案し、集積度の向上、ならびに、演算次数の拡大に向けた検討を行った。マッシュエンダ干渉計を 2 段リング共振器で構成することでデバイスの小型化が可能であることを示

シリコンリング光共振器を用いた光演算回路の研究

A study on an optical processing unit using Si ring resonators

し、数値解析を用いて原理検証を行うとともに、リング共振器の単体試作による原理実証も進めてきた。これらの結果から、提案するシリコンリング共振器の実現可能性が示され、演算次数の拡大が可能であることも明らかにした。

この研究は、令和元年度SCAT研究助成の対象として採用され、令和2～3年度に実施されたものです。

用語解説

- *1 電子デバイスのプラットフォームであるシリコン材料を用いて光デバイスを作製したデバイスや、こうした技術そのものを総称して「シリコンフォトニクス」と呼ばれる。
- *2 2入力2出力の光等分配器と、これらを2つの間に2本の遅延線を用意して、これらの遅延線に異なる遅延（位相遅れ）を発生させることで任意のパワー分配比として出力する光導波路の基本素子の1つ。

参考文献

- [1] A. Ribeiro, A. Ruocco, L. Vanacker, and W. Bogaerts, “Demonstration of a 4×4-port universal linear circuit,” *Optica*, vol. 3, no. 12, pp. 1348–1357, Dec. 2016.
- [2] 新家 昭彦, 石原 亨, 野崎 謙悟, 北 翔太, 井上 弘士, G. Cong, 山田 浩治, 納富 雅也, “光パスゲート論理に基づく光波長多重並列加算器(2) ～熱光学スイッチによる動作実証～,” 第79回応用物理学会秋季学術講演会, p. 19p-225B-4, 2018.
- [3] **T. Sato** and A. Enokihara, “Ultrasmall design of a universal linear circuit based on microring resonators,” *Opt. Express*, vol. 27, no. 23, pp. 33005–33010, Nov. 2019.
- [4] **T. Sato** and A. Enokihara, “An electro-optic full adder designed with coupled Si ring resonators for highly dense integration,” *Results Opt.*, vol. 8, p. 100230, Aug. 2022.
- [5] **佐藤 孝憲**, 榎原 晃, “シリコンリング共振器を用いた光演算回路の飛躍的な演算次数増大に向けた検討,” 電子情報通信学会総合大会, C-3/4-7, 2020.