

確率的順序回路を用いた高性能神経補綴装置の開発基盤



鳥飼 弘幸 (Hiroyuki Torikai, Ph. D.)
法政大学 理工学部 電気電子工学科 教授 博士(工学)
(Hosei University, College of Science and Engineering,
Department of Electrical and Electronic Engineering
Professor, Ph.D.)
IEEE, 電子情報通信学会
研究専門分野: 生物模倣工学, 非線形回路工学

あらまし

神経補綴装置とは、病気や事故で失われた神経系の機能を補完する装置の総称であり、具体例としては、人工内耳や脳補綴装置などが挙げられる。神経補綴装置の開発における重要な問題として、「補綴対象の神経系の動作を模倣できる集積回路をどのようにして設計するのか」、「そのような集積回路をどのようにして小型で低消費電力なデバイスとして実装するのか」などが挙げられる。それらの問題に対して、本研究では、確率的順序回路を用いた小型で低消費電力な神経補綴装置の開発手法を提案する。特に、補綴対象の神経系が持つ非線形ダイナミクスを系統的に集積回路化する手法を提案する。さらに、提案手法を用いて、神経補綴装置の基本構成要素となる集積回路の実例を設計する。具体的には、人工内耳や脳補綴装置のための基本構成要素となる集積回路を設計・実装し、実機実験により、従来手法に対する提案手法の優位性を示す。

1. 研究の背景

我々の身体は自己回復機能を有しているとはいえ脆弱であり、例えば、乳幼児期にインフルエンザに罹患して高熱を発すると内耳内の蝸牛の機能が失われてしまい、その結果、聴覚障害になる場合がある。また、

アルツハイマー型認知症などにより脳機能の一部が失われるリスクもある。このように、感覚器や神経系の機能が失われる可能性は誰しもが持っており、それらの失われた機能を集積回路などの人工物で補完する技術が神経補綴である。神経補綴装置の代表例として、聴覚障害者の聞こえを回復するための装置である「人工内耳」が挙げられる[1]。さらに、疾患などにより損なわれた脳機能を回復するための補綴装置である「脳補綴装置」の研究開発も急速に進められており、ヒトの脳を対象にした実証実験も開始されている[2]。このように、神経補綴装置の開発競争は国内外で激化しており、高性能な神経補綴装置の設計手法を整備することは重要な課題である。

2. 研究の目的

神経補綴装置の設計における重要な問題として、以下などが挙げられる。

- 補綴対象の感覚器や神経系の動作を模倣できる集積回路をどのようにして設計するのか？
- そのような集積回路をどのようにして小型で低消費電力なデバイスとして実装するのか？

そのような問題に対して、本研究では、確率的順序回路を用いた高性能、小型、低消費電力な神経補綴装置の設計手法を整備することを目的とする。

3. 研究の方法、研究の結果

3. 1 研究の方法

神経補綴装置の種類は多岐に渡るが、根本的な設計思想は同じであると言っても過言ではない。以下では、例として、脳補綴装置の基本構成要素である神経細胞モデルの設計手法を概説するが、これは、人工内耳や人口嗅覚をはじめとする様々な神経補綴装置の設計においても適用できる普遍性が高い手法である。神経細胞の動作を記述する微分方程式は多数存在するが、本稿では、説明を簡潔にするために、Izhikevich モデル[3]に代表される 2 つの状態変数を持つ神経細胞モデルを例として扱う。しかし、本稿の説明内容は多くの状態変数を持つモデルへと容易に拡張することに注意したい。では、以下の 2 変数の非線形微分方程式で記述される神経細胞モデルの動作を模倣できる小型で

確率的順序回路を用いた高性能神経補綴装置の開発基盤

低消費電力なデジタル集積回路を設計したいとしよう。

【補綴対象の動作をあらわす非線形微分方程式】

$$\begin{aligned} \frac{dx_1}{dt} &= f_1(x_1, x_2, s) \\ \frac{dx_2}{dt} &= f_2(x_1, x_2) \end{aligned} \quad (1)$$

式(1)を神経細胞モデルとして見なすと、 x_1 は膜電位に対応し、 x_2 は回復変数に対応し、 s は刺激入力に対応する。一方で、式(1)を内耳の蝸牛モデルとして見なせば、 x_1 と x_2 は基底膜の振動を表現する状態変数に対応し、 s は音入力に対応する。ここで問題を再整理すると、本研究では、以下に取り組みたいことになる。

- 式(1)の非線形微分方程式が呈する様々な非線形現象を模倣できる集積回路をどのようにして設計するのか？
- そのような集積回路をどのようにして小型で低消費なデバイスとして実装するのか？

まずは、単純な方法を考えてみよう。式(1)の時間を以下のように離散化する。

【時間が離散化された神経補綴方程式】

$$\begin{aligned} x_1(t+h) &= x_1(t) + hf_1(x_1(t), x_2(t), s(t)) \\ x_2(t+h) &= x_2(t) + hf_2(x_1(t), x_2(t)) \end{aligned} \quad (2)$$

式(2)中の x_1 と x_2 をはじめ、必要となる変数や定数を浮動小数で表現することにより、式(2)をソフトウェアとして実装し、それを汎用デジタルプロセッサで実行することもできるが、それでは「式(1)の動作を模倣する」という本質的な演算以外の処理を実行するための無駄な回路素子を大量に用いることになり効率が悪い。そこで「式(1)の動作を模倣することに特化した専用デジタル集積回路」を設計することを考える。そのために、式(2)を以下のように変換する。

【単純なデジタル実装用の神経補綴方程式】

$$\begin{aligned} X_1(t+h) &= X_1(t) + HF_1(X_1(t), X_2(t), S(t)) \\ X_2(t+h) &= X_2(t) + HF_2(X_1(t), X_2(t)) \end{aligned} \quad (3)$$

ここで、 X_1 と X_2 は x_1 と x_2 を適切にスケール変換した固定小数点形式の状態変数であり、 S は s を適切にスケール変換した固定小数点形式の入力であり、 F_1 と F_2 は f_1 と f_2 を適切にスケール変換した固定小数点形式の非線形関数であり、 H は適切にスケール変換された固定小数点形式の時間ステップである。ここで問題になるの

が、 HF_1 や HF_2 の値が極端に大きくなる場合や小さくなる場合である。 HF_1 や HF_2 の値が極端に大きい場合は、それらを表現するために、 X_1 と X_2 の整数部は長い桁数を持つ必要があり、回路素子数の増大と消費電力の増大を招く。一方で、 HF_1 や HF_2 の値が極端に小さい場合は、それらを表現するために、 X_1 と X_2 の小数部は長い桁数を持つ必要があり、やはり回路素子数の増大と消費電力の増大を招く。ここで、そのような「 HF_1 や HF_2 の値が極端に大きい場合」や「 HF_1 や HF_2 の値が極端に小さい場合」は、神経補綴装置の設計においては普遍的に起こり得て避けられないことに注意する。そこで我々のグループでは、本研究の前段階として、以下の手法を提案していた。

【非同期順序回路を用いた神経補綴方程式】

$$\begin{aligned} V_1(t+p_1) &= V_1(t) + G_1(V_1(t), V_2(t), I(t)) \\ V_2(t+p_2) &= V_2(t) + G_2(V_1(t), V_2(t)) \end{aligned} \quad (4)$$

ここで、 V_1 と V_2 は x_1 と x_2 を適切にスケール変換した符号なし整数形式の状態変数であり、 I は s を適切にスケール変換した符号なし整数形式の入力であり、 G_1 と G_2 は p_1f_1 と p_2f_2 を適切にスケール変換した符号なし整数形式の関数である。またこの手法の肝となるのは、時間ステップ幅 p_1 と p_2 を適切にバラバラに設定できる点にあり、これにより、式(4)が構成する非線形ベクトル場の表現力を高めることができるという大きな利点がこの手法にはある。また、集積回路として式(4)を眺めると、式(4)は複数の非同期クロックで駆動される非同期順序回路と見なすことができる。我々のグループでは、非同期順序回路を用いた神経補綴装置の構成要素を多数開発してきたが（asynchronous cellular automaton torikaiをGoogle Scholarで検索）、非同期順序回路を実機で実装するためには、非同期クロックを適切に処理するための回路が必要であり、それらは「式(1)の動作を模倣する」という本質的な演算以外を実行するための本来は使いたくない回路であった。これに対して、本研究では、式(4)の利点を完全に残しつつ、簡潔な実装が可能な、以下の手法を提案する。

【確率的順序回路を用いた神経補綴方程式】

$$\begin{aligned} V_1(t+p) &= V_1(t) + S_1(t)D_1(V_1(t), V_2(t), I(t)) \\ V_2(t+p) &= V_2(t) + S_2(t)D_2(V_1(t), V_2(t)) \end{aligned} \quad (5)$$

ここで、 S_1 と S_2 は適切なデューティ比を持つデジタル

確率的順序回路を用いた高性能神経補綴装置の開発基盤

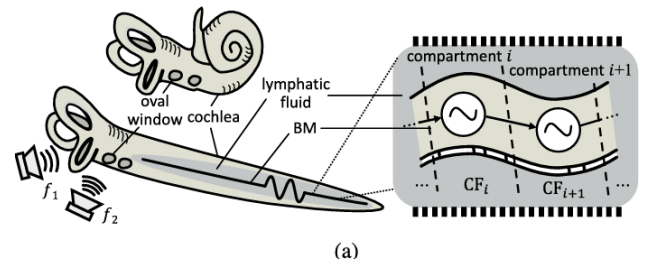
パルス信号であり、その周期はクロックの周期に対して無理数比になるように設定される（クロック発生回路と S_1 と S_2 の発生回路に電気的な相互作用が無ければ、同周期比は勝手に無理数になってくれることに注意する）。また、 D_1 と D_2 は「式(1)の動作を模倣するために適切に設計された符号なし整数形式の関数」である。ここで、確率的順序回路を用いた神経補綴用集積回路の設計思想を以下のようにまとめることができる。

- 目的は「式(1)の動作を模倣するための小型で低消費電力な集積回路を設計する」ことである。
- 式(1)の動作が特定の非線形現象である場合、集積回路の小型化・低消費電力化のために、動作方程式を大幅に低次元化できることがある。例えば、神経系の非線形信号処理機能や情報処理機能は局所分岐によって齎される場合も多いが、その場合、中心多様体定理を用いた低次元化手法[4]が集積回路の小型化・低消費電力化に極めて有効である。
- そこで、「中心多様体理論などの非線形力学系理論の知識をフルに活用して、補綴対象の非線形信号処理機能や情報処理機能を再現するための非線形ベクトル場を極力低次元化して、そのベクトル場の本質を式(5)として適切に表現する」ことを基本的な考え方とする。
- 回路素子数を減らすために、式(5)では可能な限り桁数が短い符号なし整数を用いるが、その結果、式(5)による非線形ベクトル場の表現力が低下する。しかし、クロックに対して確率的に振る舞うデジタルパルス信号 S_1 と S_2 （正確には、クロックでサンプルされた信号 S_1 と S_2 の位相がエルゴード性を持つ）を用いて、式(5)による非線形ベクトル場の等価的な表現力を向上させる。

3. 2 研究の結果

本研究では、確率的順序回路を用いた生物模倣集積回路として、以下などを設計した。

- (A) 人工内耳のための蝸牛集積回路
人工内耳の重要な構成要素である「蝸牛の様々な非線形音声信号処理機能を模倣できる小型



(a) で低消費電力な集積回路」を開発した[5][6]他。図 1 はその概要を示す。

図 1 確率的順序回路を用いた人工内耳(人工蝸牛)の模式図
CC BY-NC-ND 4.0 に基づいて論文[6]より転載

- (B) 脳補綴装置のための神経細胞集積回路
脳補綴装置の重要な構成要素である「神経細胞の様々な非線形応答特性を模倣できる小型で低消費電力な集積回路」を開発した[7][8]他。図 2 はその概要を示す。

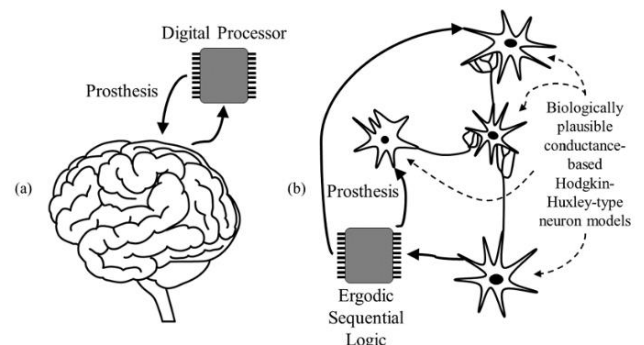


図 2 確率的順序回路 (Ergodic Sequential Logic) を用いた神経補綴装置の仮想臨床実験の概念図
CC BY-NC-ND 4.0 に基づいて論文[8]より転載

- (C) 機能的電気刺激装置のための集積回路
神経系の損傷によって麻痺した身体の運動を補助するための機能的電気刺激装置における重要な構成要素である「小型で低消費電力な歩行パターン生成用集積回路」を開発した[9]他。
- (D) 生体シミュレーション専用集積回路
遺伝子ネットワークや免疫系やなどの生体の動作をシミュレーションするための小型で低

確率的順序回路を用いた高性能神経補綴装置の開発基盤

消費電力な専用集積回路を設計した[10]他。

4. 将来展望

本研究で開発した確率的順序回路を用いた生物模倣集積回路(A)~(D)は、以下のような医工学的装置への応用が期待できる。

- (A) 本研究の成果は、従来手法に比べて圧倒的に小型で低消費電力であり、かつ、内耳の複雑な非線形音声信号処理機能を再現できる次世代の人工内耳の開発に貢献できると期待できる。
- (B) 今後実用化が期待される脳補綴装置の開発において、本研究の成果は、圧倒的に小型で低消費電力な脳補綴装置を開発するための基盤技術になると期待できる。
- (C) 本研究の成果は、従来手法に比べて圧倒的に小型で低消費電力であり、かつ、全身の筋肉を適切に刺激するための無数の電気信号を効率よく発生できる次世代の機能的電気刺激装置の開発に貢献できると期待できる。
- (D) 本研究の成果は、遺伝子ネットワークや免疫系の大規模生体シミュレーションを可能にする集積回路の開発に貢献でき、その結果、ゲノム創薬などにおける生体シミュレーションにも貢献できると期待できる。

おわりに

本研究を推進するにあたっては、式(4)の表面上の意味だけではなく、「その設計思想の真意を理解した上で」、「適切に状態依存分周期を用いたり」、「演算器とルックアップテーブルをハイブリッドで適切に用いたり」、「2進符号化とワンホット符号化をハイブリッドで適切に用いたり」、「分岐理論・カオス理論・同期理論などの非線形複雑系理論をフル活用して回路を最適化したり」することが要諦になる。すなわち、式(4)を表面的に用いるだけでは、高性能な生物模倣回路の設計は達成できないことに注意が必要である。このように、確率的順序回路を用いた生物模倣モデルの設計ためには、柔軟な発想と地道な努力が求められるが、それらに真摯に取り組んでくれた多くの指導学生諸子に深く感謝したい。また、SCAT研究助成によって最新の

集積回路試作装置を入手することが可能になり、それにより本研究を革新的に推進することが可能になった。ここに心より深く感謝申し上げたい。

参考文献

- [1] 森尚彫, 日本における人工内耳の現状, 保健医療学雑誌, 6巻, 1号, p. 15-23, 2015.
- [2] X. She, B. Robinson, G. Flynn, T. W. Berger, and D. Song, Accelerating input-output model estimation with parallel computing for testing hippocampal memory prostheses in human, *Journal of Neuroscience Methods*, 370, 109492, 2022.
- [3] E. M. Izhikevich, *Dynamical Systems in Neuroscience*, MIT Press, 2006.
- [4] Y. Kuznetsov, *Elements of Applied Bifurcation Theory*, Springer, 2004.
- [5] I. Kubota, K. Takeda, and H. Torikai, A Novel Ergodic Discrete Difference Equation Cochlear Model: Theoretical Analyses, Reproduction of Mammalian Nonlinear Sound Processing, and Comparison of Implementation, *IEEE Trans. CAS-II*, Vol. 71, No. 2, pp. 877-881, 2024.
- [6] K. Takeda, Y. Kishimoto, and H. Torikai, A novel coupled ergodic sequential logic-based cochlear model: nonlinear hearing characteristics of two-tone responses and efficient hardware implementation, *IEICE Electronics Express*, Vol. 21, No. 12, pp. 20240232-20240232, 2024.
- [7] Y. Shiomi, H. Suzuki and H. Torikai, A Novel Hardware-Efficient Ergodic Sequential Logic Neuron Model: Cellular Differentiation Method and Virtual Clinical Trial of Neural Prosthesis, *IEEE Trans. CAS-II*, Vol. 71, No. 9, pp. 4311-4315, 2024.
- [8] S. Ohtaki, H. Torikai, A novel hardware-efficient ergodic sequential logic neuron model and virtual prosthetic trial for the cricket auditory neural network, *Nonlinear Theory and Its Applications*, *IEICE*, Vol. 15, No. 4, pp. 682-697,

確率的順序回路を用いた高性能神経補綴装置の開発基盤

2024.

- [9] K. Nakamura, H. Torikai, A novel hardware-efficient CPG based on ergodic sequential logic for controlling six-legged robot, Nonlinear Theory and Its Applications, IEICE, 2024, Vol. 15, No. 4, pp. 652-672, 2024.
- [10] S. Shirafuji and H. Torikai, A hardware-efficient gene-protein network model based on nonlinear dynamics of delay ergodic cellular automaton, IEICE Electronics Express, vol. 21, no. 14, pp. 20240240-20240240, 2024.

この研究は、令和2年度SCAT研究助成の対象として採用され、令和3～5年度に実施されたものです。